

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-264259
(P2003-264259A)

(43)公開日 平成15年9月19日(2003.9.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 W 5 E 3 1 9
H 0 5 K 1/18		H 0 5 K 1/18	K 5 E 3 3 6
3/34	5 1 2	3/34	5 1 2 A

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21)出願番号 特願2002-63072(P2002-63072)

(22)出願日 平成14年3月8日(2002.3.8)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 河端 彰

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74)代理人 100096998

弁理士 碓氷 裕彦 (外1名)

Fターム(参考) 5E319 AA03 AB05 BB04 CC33 CD04

CD51 CD52 GG03 GG15

5E336 AA04 CC34 CC36 CC55 EE01

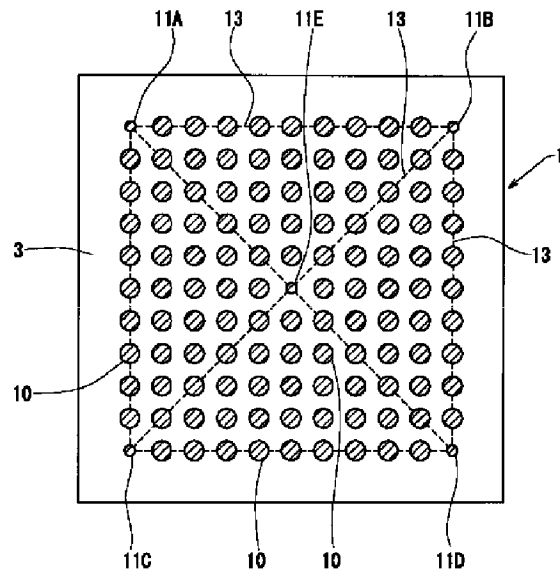
EE03 GG09 GG21

(54)【発明の名称】 半導体装置及びその実装方法

(57)【要約】

【課題】 実装基板に搭載された配線基板の表裏面のうちの一方の面側に実装基板と電気的に接続された複数のはんだバンプを有する半導体装置及びその実装方法において、バンプと実装基板の接続状態を好適に検査する方法を提供すること。

【解決手段】 本発明では、配線基板3の一方の面の四隅及び中心部には、はんだバンプ10の外形サイズよりも小さい外形サイズで形成された五つの検査用はんだバンプ11A~11Eが設けられている。そのため、検査用はんだバンプ11A~11E間の導電検査を行い、四隅に設けられた検査用はんだバンプ11A~11Dと中心部に設けられた検査用はんだバンプ11Eとの間が電気的に導通している場合には、全てのはんだバンプ10が実装基板3と接続している状態と判断することができる。よって、X線を用いることなく、はんだバンプ10と実装基板3の接合状態を検査することができる。



【特許請求の範囲】

【請求項1】 実装基板に搭載された配線基板の表裏面のうちの一方の面側に、前記実装基板と電気的に接続された複数のはんだバンプを有する半導体装置において、前記配線基板の一方の面側に、前記はんだバンプの外形サイズよりも小さい外形サイズで形成された複数の検査用はんだバンプが設けられていることを特徴とする半導体装置。

【請求項2】 前記検査用はんだバンプは、前記配線基板の一方の面の周縁領域及びその中央領域に設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記はんだバンプは前記配線基板の一方の面にマトリックス状に配置されるとともに、前記検査用はんだバンプは前記配線基板の一方の面の四隅及びその中心部に設けられていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 実装基板に搭載される配線基板の表裏面のうちの一方の面側に、前記実装基板と電気的に接続される複数のはんだバンプと該はんだバンプの外形サイズよりも小さい外形サイズで形成された複数の検査用はんだバンプとを有する半導体装置を準備する準備工程と、前記実装基板に前記配線基板を搭載し、前記はんだバンプ及び前記検査用はんだバンプを溶融して前記実装基板に前記配線基板を実装する実装工程と、前記配線基板側にて前記検査用はんだバンプ間を接続した後に、該検査用はんだバンプ間の導通検査を行い、前記配線基板と前記はんだバンプの接続状態を検査する検査工程とを備えたことを特徴とする半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、実装基板に搭載された配線基板の表裏面のうちの一方の面側に実装基板と電気的に接続された複数のはんだバンプを有する半導体装置及びその実装方法に関するものである。

【0002】

【従来技術】この種の半導体装置として、例えばBGA(Ball Grid Array)型半導体装置がある。図4は、このBGA型半導体装置21を例示している。

【0003】この図4に示されるように、BGA型半導体装置21とは、回路配線を有する配線基板23の表面に半導体チップ24を搭載し、回路配線と半導体チップ24をAuなどからなるワイヤー25で電気的に接続したのち、封止樹脂27で半導体チップ24及びワイヤー25を封止したものを示し、また、配線基板23の裏面には半導体チップ24と電気的に接続された複数のランド端子23Aが設けられており、このランド端子23Aの上に、はんだバンプ30を形成して外部電極としている。

【0004】そして、このBGA型半導体装置21を、上記ランド端子23Aと対向する位置に設けられたランド端子22Aを有する実装基板22の上に位置決めして搭載し、BGA型半導体装置21及び実装基板22に加熱を施すことによりはんだバンプ30を溶融して、配線基板23の裏面に設けられたランド端子23Aと実装基板22の表面に設けられたランド端子22Aとを接続するという半導体装置の実装方法が知られている。

【0005】ところで、はんだバンプ30を溶融する際の加熱処理により、配線基板23や封止樹脂27が熱膨張するが、これら配線基板23と封止樹脂27の熱膨張率は相違しているため、温度上昇とともにBGA型半導体装置21には反りが発生してしまう。

【0006】そして、この反りによって、はんだバンプ30が実装基板22から離れてしまい、BGA型半導体装置21と実装基板22が電気的にオープンな状態(非接続状態)になってしまうという問題があった。

【0007】そこで、はんだバンプ30と実装基板22の接続状態を検査するために、BGA型半導体装置21を実装基板22に実装した後に、BGA型半導体装置21及び実装基板22にX線を照射し、これらBGA型半導体装置21及び実装基板22を透過させることによって、はんだバンプ30と実装基板22の接合状態を検査する方法が用いられている。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来技術では、X線を用いてはんだバンプ30と実装基板22の接合状態を検査しているが、現在、このX線がBGA型半導体装置21の特性に及ぼす影響の有無は明確化されていないため、X線を用いることなく、はんだバンプ30と実装基板22の接合状態を検査する方法が望まれている。

【0009】そこで、本発明の目的は、上記問題点を鑑み、実装基板に搭載された配線基板の表裏面のうちの一方の面側に実装基板と電気的に接続された複数のはんだバンプを有する半導体装置及びその実装方法において、はんだバンプと実装基板の接続状態を好適に検査する方法を提供することにある。

【0010】

【課題を解決するための手段】請求項1に記載の半導体装置は、実装基板に搭載された配線基板の表裏面のうちの一方の面側に、実装基板と電気的に接続された複数のはんだバンプを有する半導体装置において、配線基板の一方の面側に、はんだバンプの外形サイズよりも小さい外形サイズで形成された複数の検査用はんだバンプが設けられていることを特徴としている。

【0011】請求項1に記載の発明によれば、検査用はんだバンプは、はんだバンプの外形サイズよりも小さい外形サイズで形成されているため、はんだバンプを溶融する際の加熱処理などにより配線基板が熱膨張し反りが

発生した際には、はんだバンプよりも検査用はんだバンプの方が実装基板から離れやすく、電氣的にオープンな状態になりやすい。

【0012】そのため、半導体装置を実装基板に実装した後に、検査用はんだバンプ間の導電検査を行い、検査用はんだバンプ間が電氣的に導通している場合には、全てのはんだバンプが実装基板と接続している状態と判断することができるため、X線を用いることなく、はんだバンプと実装基板の接合状態を検査することができる。

【0013】請求項2に記載の半導体装置は、検査用はんだバンプは、配線基板の一方の面の周縁領域及びその中央領域に設けられていることを特徴としている。

【0014】請求項2に記載の発明によれば、検査用はんだバンプは配線基板の一方の面の周縁領域及びその中央領域に設けられているため、はんだバンプを溶融する際の加熱処理などにより配線基板が熱膨張して、配線基板が凹形状に変形した場合には、配線基板の一方の面の周辺領域に設けられた検査用はんだバンプが最も実装基板から離れやすく、配線基板が凸形状に変形した場合には、配線基板の一方の面の中央領域に設けられた検査用はんだバンプが最も実装基板から離れやすい。

【0015】そのため、半導体装置を実装基板に実装した後に、検査用はんだバンプ間の導電検査を行い、周縁領域に設けられた検査用はんだバンプと中央領域に設けられた検査用はんだバンプとの間が電氣的に導通している場合には、全てのはんだバンプが実装基板と接続している状態と判断することができるため、X線を用いることなく、はんだバンプと実装基板の接合状態を検査することができる。

【0016】請求項3に記載の半導体装置は、はんだバンプは配線基板の一方の面にマトリックス状に配置されるとともに、検査用はんだバンプは配線基板の一方の面の四隅及びその中心部に設けられていることを特徴としている。

【0017】請求項3に記載の発明によれば、はんだバンプは配線基板の一方の面にマトリックス状に配置されるとともに、検査用はんだバンプは配線基板の一方の面の四隅及びその中心部に設けられているため、はんだバンプを溶融する際の加熱処理などにより配線基板が熱膨張して、配線基板が凹形状に変形した場合には、配線基板の一方の面の四隅に設けられた検査用はんだバンプが最も実装基板から離れやすく、配線基板が凸形状に変形した場合には、配線基板の一方の面の中心部に設けられた検査用はんだバンプが最も実装基板から離れやすい。

【0018】そのため、半導体装置を実装基板に実装した後に、検査用はんだバンプ間の導電検査を行い、四隅に設けられた検査用はんだバンプと中心部に設けられた検査用はんだバンプとの間が電氣的に導通している場合には、全てのはんだバンプが実装基板と接続している状態と判断することができるため、X線を用いることな

く、はんだバンプと実装基板の接合状態を検査することができる。

【0019】請求項4に記載の半導体装置の実装方法は、実装基板に搭載される配線基板の表裏面のうちの一方の面側に、実装基板と電氣的に接続される複数のはんだバンプとはんだバンプの外形サイズよりも小さい外形サイズで形成された複数の検査用はんだバンプとを有する半導体装置を準備する準備工程と、実装基板に配線基板を搭載し、はんだバンプ及び検査用はんだバンプを溶融して実装基板に配線基板を実装する実装工程と、配線基板側にて検査用はんだバンプ間を接続した後に、この検査用はんだバンプ間の導通検査を行い、配線基板とはんだバンプの接続状態を検査する検査工程とを備えたことを特徴としている。

【0020】請求項4に記載の発明によれば、準備工程において、検査用はんだバンプは、はんだバンプの外形サイズよりも小さい外形サイズで形成されているため、実装工程において、はんだバンプを溶融した際の加熱処理により配線基板が熱膨張し反りが発生した際には、はんだバンプよりも検査用はんだバンプの方が実装基板から離れやすく、電氣的にオープンな状態になりやすい。

【0021】そのため、実装工程の後に行う検査工程において、検査用はんだバンプ間の導電検査を行い、検査用はんだバンプ間が電氣的に導通している場合には、全てのはんだバンプが実装基板と接続している状態と判断することができるため、X線を用いることなく、はんだバンプと実装基板の接合状態を検査することができる。

【0022】

【発明の実施の形態】以下、本発明の半導体装置をBGA(Ball Grid Array)型半導体装置に適用した一実施形態を、図面に従って説明する。尚、本実施形態のBGA型半導体装置は、例えば、携帯電話などの携帯情報端末機器やメモリモジュール、CPUモジュールなどの電子装置に用いられる。

【0023】図1には、本発明の一実施形態におけるBGA型半導体装置1を実装基板2に搭載させたときの断面構造を示し、図2には、図1におけるA-A矢視断面図を示す。

【0024】まず、図1に示されるように、本実施形態のBGA型半導体装置1は、配線基板3の表裏面のうちの一方の面側(図中の下面側)に外部接続用端子として複数のはんだバンプ10を設けて、他方の面側(図中の上面側)に半導体チップ4を搭載した構成になっている。尚、この半導体チップ4は、配線基板3の他方の面のチップ搭載領域に接着剤(図示せず)を介在して固着されている。

【0025】また、配線基板3は、例えば、ガラス繊維にエポキシ樹脂またはポリイミド樹脂を含浸させた多層配線構造の樹脂板で構成され、その平面形状は方形で形成されており、半導体チップ4は、例えば、単結晶珪

素からなる半導体基板及びこの半導体基板上に形成された配線層を主体とする構成になっており、その平面形状は方形で形成されている。

【0026】さらに、配線基板3の一方の面には、複数のランド端子（バンパ接続用パッド）3Aが形成され、配線基板3の他方の面には複数のランド端子（ワイヤ接続用パッド）3Bが形成されている。尚、これらランド端子3A、ランド端子3Bの夫々は、その平面形状は円形状で形成されるとともに、配線基板3に形成された配線を介して互いに電氣的に接続されている。

【0027】また、複数のランド端子3Aは、配線基板3の一方の面においてマトリックス状に配列され、複数のランド端子3Bは、配線基板3の他方の面のチップ搭載領域を囲むその周辺領域において半導体チップ4の各辺に沿って配列されている。

【0028】また、半導体チップ4には、図示しないが、論理回路システム、記憶回路システム、A/D変換回路システム、増幅回路システム、或いはこれらの混合回路システム等が搭載されている。尚、これらの回路システムは、半導体基板に形成された半導体素子、配線層

に形成された配線等によって構成されている。

【0029】そして、半導体チップ4の表裏面のうちの表面である回路形成面には、半導体チップ4の外周囲の各辺に沿って複数の電極パッド（ボンディングパッド）4Aが形成されている。

【0030】この複数の電極パッド4Aの夫々は、配線層のうちの最上層の配線層に形成され、回路システムを構成する半導体素子に配線を介して電氣的に接続されている。尚、複数の電極パッド4Aの夫々は、例えばアルミニウム（Al）膜またはアルミニウム合金膜等で形成

されている。

【0031】そして、半導体チップ4の電極パッド4Aは、導電性のワイヤ5を介して、配線基板3の他方の面に設けられたランド端子3Bに電氣的に接続されている。尚、ワイヤ5としては例えば金（Au）ワイヤを用いており、ワイヤ5の接続方法としては、例えば熱圧着に超音波振動を併用したボンディング法を用いている。

【0032】また、半導体チップ4及びワイヤ5は、配線基板3の他方の面側に形成された封止樹脂7によって封止されている。尚、封止樹脂7は、例えば、フェノール系硬化剤やシリコーンゴム及びフィラーが添加されたエポキシ系の樹脂などで形成されている。

【0033】また、図2に示されるように、配線基板3の一方の面には、ランド端子3Aと電氣的かつ機械的に接続された複数のはんだバンパ10がマトリックス状に設けられている。即ち、はんだバンパ10は半導体チップ4の電極パッド4Aに電氣的に接続されている。尚、このはんだバンパ10は、導電材として錫（Sn）—銀（Ag）組成の半田材で球形状に形成されている。

【0034】さらに、配線基板3の一方の面の四隅及び

中心部には、ランド端子3Aと電氣的かつ機械的に接続されるとともに、はんだバンパ10の外形サイズよりも小さい外形サイズで形成された五つの検査用はんだバンパ11A～11Eが設けられている。尚、検査用はんだバンパ11A～11Eは、上記はんだバンパ10と同様に、導電材として錫（Sn）—銀（Ag）組成の半田材で球形状に形成されている。

【0035】この検査用はんだバンパ11A～11Eは、配線基板3の他方の面にて夫々が配線13により接続されている。

【0036】また、図1に示されるように、実装基板2の一方の面には、配線基板3の一方の面に設けられた複数のランド端子3Aと対応するように配置された複数のランド端子2Aが設けられている。尚、このランド端子2Aは、その平面形状は円形状で形成されている。

【0037】そして、これらランド端子2A、3Aを対向させた状態でBGA型半導体装置1は実装基板2の上に搭載されており、これらBGA型半導体装置1と実装基板2の間には、ランド端子2A、3Aを電氣的に接続するはんだバンパ10及び検査用はんだバンパ11A～11Eが介在されるような構成になっている。

【0038】次に、BGA型半導体装置1の製造方法について簡単に説明する。

【0039】まず、配線基板3を準備し、配線基板3の他方の面のチップ搭載領域に接着剤を介在して半導体チップ4を搭載する。

【0040】続いて、半導体チップ4の電極パッド4Aと配線基板3のランド端子3Bとを導電性のワイヤ5で電氣的に接続し、これら半導体チップ4及びワイヤ5を封止樹脂7で封止する。

【0041】続いて、配線基板3の一方の面を上向きにした状態で、配線基板3に形成された複数のランド端子3A上にSn—Ag組成の半田ボールを供給し、その後、所定の温度でこの半田ボールを溶融してはんだバンパ10及び検査用はんだバンパ11A～11Eを形成することにより、BGA型半導体装置1がほぼ完成する。尚、半田ボールの供給は、例えばガラスマスクを用いたボール供給法または吸引治具を用いたボール供給法で行うことができる。

【0042】次に、上記製造方法にて完成したBGA型半導体装置1を実装基板2に実装する方法について、図3を用いて説明する。

【0043】まず、図3（a）に示されるように、実装基板2の一方の面に設けられたランド端子2Aの上に、印刷手法によりクリーム状のはんだペースト12を印刷する。

【0044】続いて、図3（b）に示されるように、実装面の装置搭載領域に複数のランド端子2Aが設けられた実装基板2上に、配線基板3の一方の面に設けられたランド端子3Aの位置が合うように位置決めして、BG

A型半導体装置1を搭載する。

【0045】続いて、BGA型半導体装置1及び実装基板2をリフロー炉(図示せず)に搬送し、これらBGA型半導体装置1及び実装基板2に加熱処理を施す。そして、リフロー炉内の温度が、はんだバンプ10及び検査用はんだバンプ11のリフロー温度に達すると、はんだバンプ10及び検査用はんだバンプ11が溶け出す。

【0046】すると、図3(c)に示されるように、はんだバンプ10及び検査用はんだバンプ11は、はんだペースト12と混ざり合って一体となり、BGA型半導体装置1及び実装基板2に形成されたランド端子2A、3Aが電氣的に接続され、BGA型半導体装置1を実装基板2に実装する工程は完了する。

【0047】ところで、上記はんだバンプ10をリフローする際の加熱処理により、配線基板3や封止樹脂7が熱膨張するが、これら配線基板3と封止樹脂7の熱膨張率は相違しているため、温度上昇とともにBGA型半導体装置1には反りが発生してしまう。

【0048】そして、この反りによって、配線基板3の一方の面に設けられたはんだバンプ10が実装基板2から離れてしまい、BGA型半導体装置1と実装基板2が電氣的にオープンな状態(非接続状態)になってしまうという問題があった。

【0049】そのため、従来技術では、BGA型半導体装置1を実装基板2に実装した後に、はんだバンプ10と実装基板2の接続状態を検査するために、BGA型半導体装置1及び実装基板2にX線を照射し透過させることによって、はんだバンプ10と実装基板2の接合状態を検査する方法が用いられていたが、現在、このX線がBGA型半導体装置1の特性に及ぼす影響の有無は明確化されていないため、X線を用いることなく、はんだバンプ10と実装基板2の接合状態を検査する方法が望まれている。

【0050】そこで、本実施形態では、図2に示されるように、配線基板3の一方の面の四隅及び中心部には、はんだバンプ10の外形サイズよりも小さい外形サイズで形成された五つの検査用はんだバンプ11A～11Eが設けられている。

【0051】そのため、上記はんだバンプ10をリフローする際の加熱処理などにより、配線基板3が熱膨張して、配線基板3が凹形状または凸形状に変形した場合には、はんだバンプ10よりも検査用はんだバンプ11A～11Eの方が実装基板2から離れやすい。

【0052】さらに、配線基板3の一方の面の四隅及び中心部に検査用はんだバンプ11A～11Eを設けたことにより、配線基板3が凹形状に変形した場合には、配線基板3の一方の面の四隅に設けられた検査用はんだバンプ11A～11Dが最も実装基板2から離れやすく、配線基板3が凸形状に変形した場合には、配線基板3の一方の面の中心部に設けられた検査用はんだバンプ11

Eが最も実装基板3から離れやすい。

【0053】そして、BGA型半導体装置1を実装基板3に実装した後に、検査用はんだバンプ11A～11E間の導電検査を行い、四隅に設けられた検査用はんだバンプ11A～11Dと中心部に設けられた検査用はんだバンプ11Eとの間が電氣的に導通している場合には、全てのはんだバンプ10が実装基板3と接続している状態と判断することができるため、X線を用いることなく、はんだバンプ10と実装基板3の接合状態を検査することができる。

【0054】尚、検査用はんだバンプ11A～11E間の電氣的な導電検査を行い、これら検査用はんだバンプ11A～11E間が電氣的に導通していない場合には、不良品と判断してもよいし、さらに、X線を用いてはんだバンプ10と実装基板2の接合状態を検査してもよい。この場合、全ての装置にX線を照射していた従来技術と比較して、X線を照射する装置数を低減することができるため、好ましい。

【0055】また、検査用はんだバンプ11A～11E間の電氣的な導通検査を行い、例えば、検査用はんだバンプ11A、11B、11E間は電氣的に導通しているが、検査用はんだバンプ11A、11C、11E間は電氣的に導通していない場合は、検査用はんだバンプ11A、11B、11Eにて囲まれた領域に配置されたはんだバンプ10は実装基板3と接続している状態と判断することができるため、検査用はんだバンプ11A、11C、11Eにて囲まれた領域に配置されたはんだバンプ10のみX線を用いてはんだバンプ10と実装基板2の接合状態を検査してもよい。

【0056】この場合、全てのはんだバンプ10にX線を照射していた従来技術と比較して、X線を照射するはんだバンプ10の数を低減することができるため、好ましい。

【0057】尚、本発明は、上記実施形態に限られるものではなく、様々な態様に適用可能である。

【0058】例えば、上記実施形態では、はんだバンプ10及び検査用はんだバンプ11A～11Eを球形状で形成した例について説明したが、これに限られるものではなく、はんだバンプ10及び検査用はんだバンプ11A～11Eは必ずしも球形状で形成する必要はない。

【0059】また、上記本実施形態では、はんだバンプ10及び検査用はんだバンプ11A～11Eを錫(Sn)－銀(Ag)組成の半田材で形成した例について説明したが、これに限られるものではなく、例えば鉛(Pb)－錫(Sn)組成の半田材で形成してもよい。

【0060】また、上記実施形態では、検査用はんだバンプ11A～11Eを配線基板3の一方の面の四隅及び中心部に設けた例について説明したが、検査用はんだバンプ11A～11Eの数及び配置は上記実施形態に限定されるものではない。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るBGA型半導体装置を実装基板に搭載させたときの断面構造を示す図である。

【図2】図1におけるA-A矢視断面図である。

【図3】(a)から(c)は本発明の一実施形態に係るBGA型半導体装置の実装方法を説明するための断面図である。

【図4】従来技術のBGA型半導体装置を実装基板に搭載させたときの断面構造を示す図である。

【符号の説明】

1…BGA型半導体装置、

2…実装基板、

2A…ランド端子、

3…配線基板、

3A、3B…ランド端子、

4…半導体チップ、

4A…電極パッド、

5…ワイヤ、

7…封止樹脂、

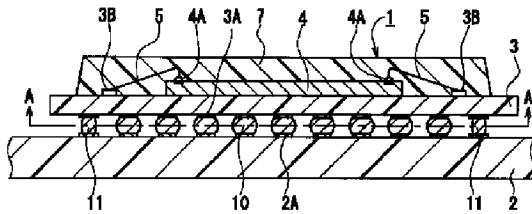
10…はんだバンプ、

10 11A～11E…検査用はんだバンプ、

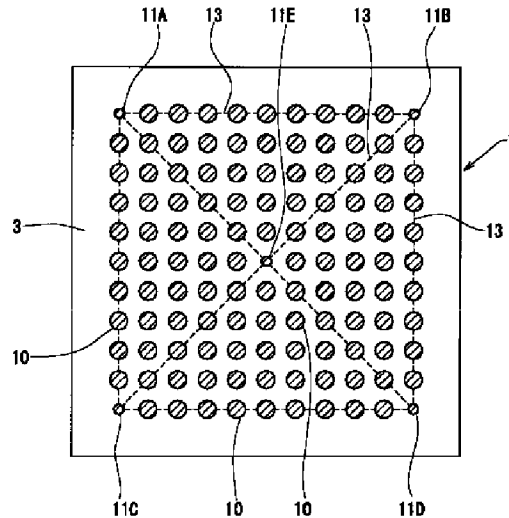
12…はんだペースト、

13…配線。

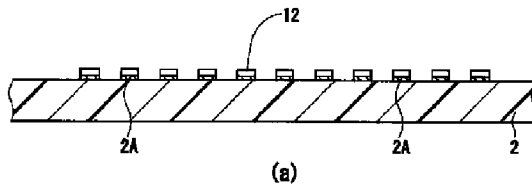
【図1】



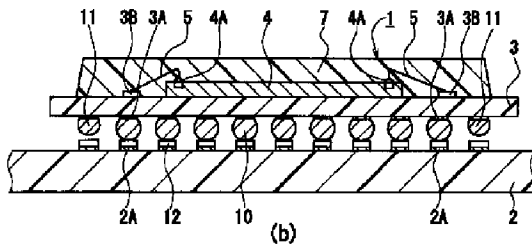
【図2】



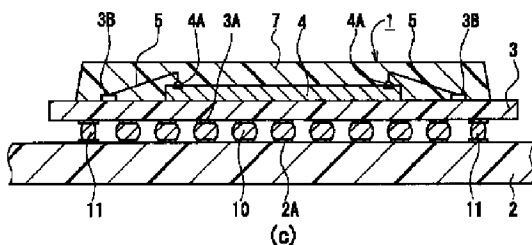
【図3】



(a)

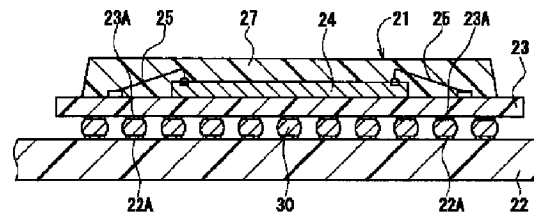


(b)



(c)

【図4】



DERWENT-ACC-NO: 2003-738963

DERWENT-WEEK: 200370

COPYRIGHT 2011 DERWENT INFORMATION LTD

TITLE: Ball grid array type semiconductor device
includes two sets of solder bumps of different size,
provided between wiring board and mounting board

INVENTOR: KAWABATA A

PATENT-ASSIGNEE: NIPPONDENSO CO LTD[NPDE]

PRIORITY-DATA: 2002JP-063072 (March 8, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
JP 2003264259 A	September 19, 2003	JA

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP2003264259A	N/A	2002JP-063072
March 8, 2002		

INT-CL-CURRENT:

TYPE	IPC	DATE
CIPP	H05K3/34	20060101
CIPS	H01L23/12	20060101
CIPS	H05K1/18	20060101

ABSTRACTED-PUB-NO: JP 2003264259 A

BASIC-ABSTRACT:

NOVELTY - The semiconductor device (1) has a wiring board (3) and a mounting board (21) between which two sets of solder bumps (10,11A-11E) are provided. The size of the solder bumps at the four corners of the wiring board is smaller than size of the solder bumps provided at the central surface of the wiring board.

DESCRIPTION - An INDEPENDENT CLAIM is also included for semiconductor device mounting method.

USE - Ball grid array (BGA) type semiconductor device.

ADVANTAGE - The arrangement of the solder bumps, enables accurate inspection of connection state of bumps and mounting board.

DESCRIPTION OF DRAWING(S) - The figure shows a cross- sectional view of the BGA-type semiconductor device.

semiconductor device (1)

mounting board (2)

wiring board (3)

solder bumps (10,11A- 11E)

CHOSEN-DRAWING: Dwg.2/4

TITLE-TERMS: BALL GRID ARRAY TYPE SEMICONDUCTOR DEVICE TWO SET SOLDER
BUMP SIZE
WIRE BOARD MOUNT

DERWENT-CLASS: U11

EPI-CODES: U11-D01A3; U11-F01E;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: 2003-591511